

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: **SOO-YOUNG KIM**

Application No.: New Application

Filed: January 13, 2004

For: **SEMICONDUCTOR MEMORY DEVICE AND METHOD OF OPERATING
SEMICONDUCTOR MEMORY DEVICE**

PRIORITY LETTER

January 13, 2004 Honorable Commissioner of Patents and Trademarks
Washington, DC 20231

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

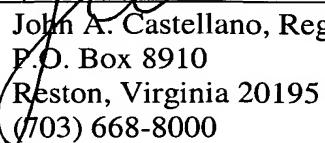
<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
10-2003-0009155	February 13, 2003	KOREA

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNES, DICKEY, & PIERCE, P.L.C.

By


John A. Castellano, Reg. No. 35,094
P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

JAC:jj



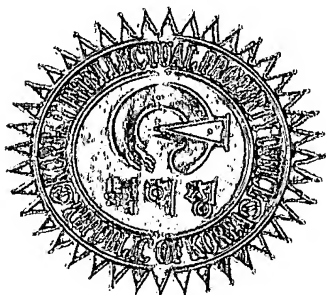
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0009155
Application Number

출원 년 월 일 : 2003년 02월 13일
Date of Application FEB 13, 2003

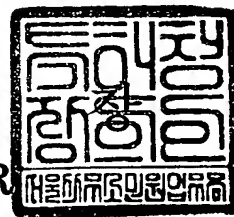
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 11 월 04 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0003
【제출일자】 2003.02.13
【발명의 명칭】 동작 모드에 따라 데이터 재저장 시간을 가변시킬 수 있는 반도체 메모리 장치
【발명의 영문명칭】 SEMICONDUCTOR MEMORY DEVICE CAPABLE OF CHANGING DATA RESTORE TIME BASED ON MODES OF OPERATION
【출원인】
【명칭】 삼성전자 주식회사
【출원인코드】 1-1998-104271-3
【대리인】
【성명】 임창현
【대리인코드】 9-1998-000386-5
【포괄위임등록번호】 1999-007368-2
【대리인】
【성명】 권혁수
【대리인코드】 9-1999-000370-4
【포괄위임등록번호】 1999-056971-6
【발명자】
【성명의 국문표기】 김수영
【성명의 영문표기】 KIM,S00-YOUNG
【주민등록번호】 720328-1110710
【우편번호】 138-240
【주소】 서울특별시 송파구 신천동 17-6 미성아파트 4동 1001호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
임창현 (인) 대리인
권혁수 (인)

1020030009155

출력 일자: 2003/11/11

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 14 면 14,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 20 항 749,000 원

【합계】 792,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명의 반도체 메모리 장치는 동작 모드에 따라 가변 가능한 발진 신호를 발생하는 발진 회로와, 발진 신호에 응답하여 워드 라인 인에이블 신호를 발생하는 워드 라인 인에이블 회로를 포함한다. 메모리 장치는 발진 회로와 워드 라인 인에이블 회로를 제어하는 제어 회로를 더 포함하며, 제어 회로는, 액티브 동작 모드에서 대기 동작 모드로의 진입시, 워드 라인 인에이블 신호의 펄스 폭이 늘어나도록 그리고 발진 신호의 주기가 소정 시간 동안 일정하게 유지되도록 제어한다.

【대표도】

도 1

【명세서】**【발명의 명칭】**

동작 모드에 따라 데이터 재저장 시간을 가변시킬 수 있는 반도체 메모리 장치

{SEMICONDUCTOR MEMORY DEVICE CAPABLE OF CHANGING DATA RESTORE TIME BASED ON MODES OF OPERATION}

【도면의 간단한 설명】

도 1은 본 발명에 따른 반도체 메모리 장치를 개략적으로 보여주는 블록도;

도 2는 본 발명의 바람직한 실시예에 따른 도 1에 도시된 검출 회로를 보여주는 회로도;

도 3은 본 발명의 바람직한 실시예에 따른 도 2에 도시된 단위 카운터를 보여주는 회로도;

도 4는 본 발명의 바람직한 실시예에 따른 도 1의 발진 회로를 보여주는 회로도;

도 5는 본 발명의 바람직한 실시예에 따른 도 1의 리프레쉬 펄스 발생 회로를 보여주는 회로도;

도 6은 본 발명의 바람직한 실시예에 따른 도 1의 워드 라인 인에이블 회로를 보여주는 회로도;

도 7은 본 발명의 바람직한 실시예에 따른 도 1의 행 디코더의 일부를 보여주는 회로도;
그리고

도 8은 본 발명에 따른 반도체 메모리 장치의 동작을 설명하기 위한 타이밍도이다.

* 도면의 주요 부분에 대한 부호 설명 *

100 : 반도체 메모리 장치 110 : 메모리 셀 어레이

120 : 행 디코더 회로 130 : 어드레스 발생 회로

140 : 어드레스 버퍼 회로 150 : CS 버퍼 회로

160 : 검출 회로 170 : 발진 회로

180 : 리프레쉬 펄스 발생 회로 190 : 워드 라인 인에이블 회로

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<15> 본 발명은 반도체 집적 회로 장치들에 관한 것으로, 좀 더 구체적으로는 반도체 메모리 장치에 관한 것이다.

<16> 고밀도 및 비교적 빠른 속도 때문에 다이내믹 랜덤 액세스 메모리 (Dynamic Random Access Memory: DRAM) 장치가 널리 사용된다. 각 셀이 하나의 트랜지스터와 하나의 커패시터로 구성되기 때문에 많은 메모리 셀들이 DRAM 장치에 집적될 수 있다. 각 셀은 스태틱 랜덤 액세스 메모리 (Static Random Access Memory: SRAM)와 같은 다른 메모리 장치들의 셀들보다 작다.

<17> 하지만, DRAM 셀에 있어서, 각 셀에 저장된 전하들은 소정 시간 후에 누설 전류에 의해서 감소된다. 따라서, DRAM 셀들은 주기적으로 액세스되어야 하며, 커패시터에 저장된 데이터는 리프레쉬된다.

<18> 한편, SRAM은 각 셀이 데이터를 유지하는 플립-플롭과 같은 회로로 구성되기 때문에 리프레쉬를 요구하지 않는다. SRAM의 플립-플롭들은 리프레쉬가 요구되지 않기 때문에 고속 동작을 가능케 한다. 하지만, 플립-플롭들은 셀 당 많은 공간을 차지하며 메모리 용량은 DRAM보다 더 작다.

<19> DRAM은 2가지 리프레쉬 방법, 즉 자동 리프레쉬 방법과 셀프-리프레쉬 방법을 사용한다. 자동 리프레쉬 방법에 있어서, DRAM의 정상 동작 동안 소정의 타이밍 구간이 할당되고, 리프레쉬 동작이 할당된 타이밍 구간에서 자동적으로 수행된다. 반면에, 셀프-리프레쉬 동작은 DRAM이 대기 모드 (stand-by mode)에 있을 때 수행된다. 자동 리프레쉬 동작 및 셀프-리프레쉬 동작은 이 분야에 숙련된 자에게 잘 알려진 것으로, 그것에 대한 설명은 그러므로 생략된다.

<20> 의사 스테틱 랜덤 액세스 메모리 (Pseudo Static Random Access Memory: PSRAM)는 DRAM과 SRAM의 특징들을 갖는다. PSRAM은 SRAM 인터페이스와 DRAM 셀들로 구성된 어레이 구조를 갖는다. PSRAM이 DRAM 셀들로 구성된 어레이 구조를 갖기 때문에, SRAM과 달리 리프레쉬 동작이 필요하다. 따라서, 앞서 설명된 바와 같이, PSRAM이 전력 소모를 줄이기 위한 대기 동작 모드로 진입할 때, 셀프-리프레쉬 동작이 자동적으로 수행될 것이다. PSRAM의 대기 동작 모드에서 수행되는 셀프-리프레쉬 동작을 제어함에 있어서, 메모리 셀들에 저장된 데이터가 손실되는 것을 방지하는 것이 무엇보다도 먼저 고려되어야 할 것이다.

【발명이 이루고자 하는 기술적 과제】

<21> 본 발명의 목적은 향상된 셀프-리프레쉬 동작 모드를 갖는 반도체 메모리 장치를 제공하는 것이다.

<22> 본 발명의 다른 목적은 동작 모드에 따라 가변 가능한 데이터 재저장 시간을 갖는 반도체 메모리 장치를 제공하는 것이다.

【발명의 구성 및 작용】

<23> 상술한 제반 목적들을 달성하기 위한 본 발명의 일 특징에 따르면, 행들과 열들로 배열되는 메모리 셀들의 어레이를 포함하는 반도체 메모리 장치가 제공된다. 발진 회로는 동작 모

드에 따라 가변 가능한 발진 신호를 발생하고, 워드 라인 인에이블 회로는 상기 발진 신호에 응답하여 워드 라인 인에이블 신호를 발생한다. 메모리 장치는 액티브 동작 모드에서 대기 동작 모드로의 진입시, 상기 워드 라인 인에이블 신호의 펄스 폭이 늘어나도록 그리고 상기 발진 신호의 주기가 일정하게 유지되도록 제어하는 수단을 더 포함한다. 상기 메모리 장치가 액티브 동작 모드에서 상기 대기 동작 모드로 진입하고 소정 시간이 경과한 후, 상기 제어 수단은 상기 발진 신호의 주기가 길어지도록 제어한다.

<24> 바람직한 실시예에 있어서, 상기 소정 시간 동안 상기 메모리 셀들이 모두 리프레쉬되고, 상기 발진 신호의 주기는 리프레쉬 주기와 동일하다. 바람직하게, 상기 제어 수단은 칩 선택 신호에 응답하여 상기 리프레쉬 주기 및 상기 워드 라인 인에이블 신호의 펄스 폭을 제어한다. 상기 워드 라인 인에이블 신호의 펄스 폭은 상기 대기 동작 모드의 리프레쉬 구간 동안 일정하게 유지된다.

<25> 본 발명의 다른 특징에 따르면, 행들과 열들로 배열되는 메모리 셀들의 어레이를 포함하는 반도체 메모리 장치가 제공되며, 메모리 장치는 대기 동작 모드로 진입하고 소정 시간이 경과한 후, 상기 대기 동작 모드의 제 1 리프레쉬 구간의 종료를 알리는 플래그 신호를 출력하는 플래그 신호 발생 회로와; 상기 플래그 신호에 응답하여 가변 가능한 발진 신호를 발생하는 발진 회로와; 상기 발진 신호에 응답하여 동작하며, 동작 모드에 따라 가변 가능한 펄스 폭을 갖는 워드 라인 인에이블 신호를 발생하는 워드 라인 인에이블 회로와; 그리고 행 어드레스에 응답하여 행들을 선택하고, 상기 워드 라인 인에이블 신호의 활성화 구간 동안 선택된 행을 구동하는 행 디코더 회로를 포함한다. 여기서, 상기 대기 동작 모드의 제 1 리프레쉬 구간에서 생성되는 발진 신호는 상기 대기 동작 모드의 제 2 리프레쉬 구간에서 생성되는 발진 신호보다

긴 주기를 갖는다. 상기 플래그 신호 발생 회로는 칩 선택 신호가 비활성화되고 소정 시간이 경과한 후 상기 플래그 신호를 활성화시킨다.

<26> 바람직한 실시예에 있어서, 상기 메모리 장치는 상기 메모리 셀들로서 디램 셀들을 갖는 의사 에스램 (Pseudo SRAM) 장치를 포함한다.

<27> 본 발명의 또 다른 특징에 따르면, 행들과 열들로 배열되는 메모리 셀들의 어레이를 포함하는 반도체 메모리 장치가 제공되며, 메모리 장치는 대기 동작 모드로 진입하고 소정 시간이 경과하였는지의 여부를 검출하고, 그 결과로서 플래그 신호를 활성화시키는 검출 회로와; 상기 플래그 신호의 비활성화 구간 동안 제 1 주기를 갖고 상기 플래그 신호의 활성화 구간 동안 상기 제 1 주기보다 긴 제 2 주기를 갖는 발진 신호를 발생하는 발진 회로와; 상기 발진 신호에 동기된 워드 라인 인에이블 신호를 발생하되, 상기 워드 라인 인에이블 신호의 펄스 폭은 상기 대기 동작 모드로의 진입시 늘어나는 워드 라인 인에이블 회로와; 그리고 행 어드레스에 응답하여 행들을 선택하고, 상기 워드 라인 인에이블 신호의 활성화 구간 동안 선택된 행을 구동하는 행 디코더 회로를 포함한다.

<28> 바람직한 실시예에 있어서, 상기 검출 회로는 카운터를 포함하며, 상기 카운터는 상기 발진 신호에 동기되어 동작한다. 상기 소정 시간 동안 상기 메모리 셀들이 한번 리프레쉬된다. 바람직하게, 상기 플래그 신호의 비활성화 구간은 액티브 동작 모드와 대기 동작 모드의 제 1 리프레쉬 구간을 포함하며, 상기 플래그 신호의 활성화 구간은 상기 대기 동작 모드의 제 2 리프레쉬 구간을 포함한다.

<29> 본 발명의 또 다른 특징에 따르면, 행들과 열들로 배열되는 메모리 셀들의 어레이를 포함하는 반도체 메모리 장치의 방법은 대기 동작 모드의 제 1 리프레쉬 구간의 종료를 알리는 플래그 신호를 발생하는 단계와; 상기 플래그 신호에 응답하여 가변 가능한 발진 신호를 발생

하는 단계와; 그리고 상기 발진 신호에 응답하여 동작하며, 동작 모드에 따라 가변 가능한 펄스 폭을 갖는 워드 라인 인에이블 신호를 발생하는 단계를 포함한다. 바람직하게, 상기 대기 동작 모드의 제 1 리프레쉬 구간에서 생성되는 발진 신호는 상기 대기 동작 모드의 제 2 리프레쉬 구간에서 생성되는 발진 신호보다 긴 주기를 가지며; 그리고 상기 대기 동작 모드의 제 1 리프레쉬 구간 동안 생성되는 워드 라인 인에이블 신호는 액티브 동작 모드 동안 생성되는 워드 라인 인에이블 신호보다 넓은 펄스 폭을 갖는다.

<30> 이하 본 발명의 바람직한 실시예들이 참조 도면들에 의거하여 상세히 설명될 것이다. 본 발명은 의사 스택택 랜덤 액세스 메모리 (이하, PSRAM이라 칭함) 장치를 이용하여 설명되지만, 본 발명이 PSRAM 장치에 국한되지 않음은 자명하다. 본 발명의 PSRAM 장치는 액티브 동작 모드에서 대기 동작 모드로 진입시 생길 수 있는 데이터 손실을 방지하고자 향상된 셀프-리프레쉬 동작을 수행한다. 향상된 셀프-리프레쉬 동작은 제 1 셀프-리프레쉬 구간과 제 2 셀프-리프레쉬 구간으로 구분된다. 제 1 셀프-리프레쉬 구간에 있어서, 워드 라인 인에이블 구간의 펄스 폭은 액티브 동작 모드와 비교하여 길어지는 반면에 리프레쉬 주기는 액티브 동작 모드와 동일하게 유지된다. 제 2 셀프-리프레쉬 구간에 있어서, 워드 라인 인에이블 구간의 펄스 폭은 제 1 셀프-리프레쉬 구간과 동일하게 유지되는 반면에 리프레쉬 주기는 액티브 동작 모드 및 제 1 셀프-리프레쉬 구간과 비교하여 길어진다. 이러한 셀프-리프레쉬 방법에 의하면, 액티브 동작 모드에서 대기 동작 모드로의 전환시 리프레쉬 주기의 변화에 따라 대기 동작 모드에서 생길 수 있는 페일을 방지할 수 있다. 이는 이하 상세히 설명될 것이다.

<31> 도 1은 본 발명에 따른 반도체 메모리 장치를 개략적으로 보여주는 블록도이다. 도 1을 참조하면, 본 발명의 반도체 메모리 장치 (100)는 SRAM 인터페이스와 DRAM 셀 구조를 갖는 PSRAM 장치이다. 반도체 메모리 장치 (100)는 데이터를 저장하기 위한 메모리 셀 어레이

(memory cell array) (110)를 포함하며, 어레이 (110)는 행들 (또는 워드 라인들) (WL0-WLm)과 열들 (또는 비트 라인들) (BL0-BLn)의 매트릭스 형태로 배열된 메모리 셀들 (MC) (즉, 하나의 스위칭 트랜지스터와 하나의 커패시터로 구성된 DRAM 셀)로 구성된다.

<32> 메모리 셀 어레이 (110)의 워드 라인들 (WL0-WLm)은 행 디코더 회로 (120)에 연결되며, 행 디코더 회로 (120)는 어드레스 발생 회로 (130) 또는 어드레스 버퍼 회로 (140)로부터의 어드레스에 응답하여 워드 라인들 (WL0-WLm)을 선택한다. 어드레스 발생 회로 (130)는 리프레쉬 동작에 필요한 어드레스를 생성하며, 어드레스 버퍼 회로 (140)는 외부 어드레스를 버퍼링한다. 어드레스 발생 회로 (130)는 잘 알려진 리프레쉬 어드레스 카운터 (refresh address counter) (DRAM에서 일반적으로 사용됨)를 이용하여 구성될 것이다.

<33> 계속해서 도 1을 참조하면, 본 발명의 반도체 메모리 장치 (100)는 CS 버퍼 회로 (150), 검출 회로 (detector circuit) (160), 발진 회로 (oscillator circuit) (170), 리프레쉬 펄스 발생 회로 (refresh pulse generator circuit) (180), 그리고 워드 라인 인에이블 회로 (word line enable circuit) (190)를 더 포함한다.

<34> CS 버퍼 회로 (150)는 외부 칩 선택 신호 (XCSB)를 입력받아 내부 칩 선택 신호 (ICSB)를 출력한다. 검출 회로 (160)는 내부 칩 선택 신호 (ICSB)에 응답하여 동작하며, PSRAM 장치가 액티브 동작 모드에서 대기 동작 모드로 진입하였는 지의 여부를 검출한다. 검출 회로 (160)는 PSRAM 장치가 대기동작 모드로 진입하고 소정 시간이 경과한 후 플래그 신호 (POSC_CSB)를 활성화시킨다. 발진 회로 (170)는 소정 주기를 갖는 발진 신호 (POSC)를 발생한다. 발진 신호 (POSC)의 주기 (또는, 리프레쉬 주기)는 동작 모드에 따라 가변된다. 예를 들면, 플래그 신호 (POSC_CSB)의 비활성화 구간 동안 생성되는 발진 신호 (POSC)는 플래그 신호 (POSC_CSB)의 활성화 구간 동안 생성되는 발진 신호 (POSC)보다 긴 주기를 갖는다. 리프레

쉬 펄스 발생 회로 (180)은 발진 신호 (POSC)에 응답하여 리프레쉬 펄스 신호 (PRFHTD)를 발생한다. 리프레쉬 펄스 신호 (PRFHTD)는 발진 신호 (POSC)와 동일한 주기를 갖는 반면에 발진 신호 (POSC)보다 짧은 펄스 폭을 갖는다. 워드 라인 인에이블 회로 (190)는 리프레쉬 펄스 신호 (PRFHTD)에 응답하여 워드 라인 인에이블 신호 (PWL)를 발생하며, 워드 라인 인에이블 신호 (PWL)의 펄스 폭은 동작 모드에 따라 가변된다. 즉, 워드 라인 인에이블 신호 (PWL)의 펄스 폭은 내부 칩 선택 신호 (ICSB)에 따라 가변된다. 본 발명에 따르면, 대기 동작 모드에서의 워드 라인 인에이블 신호 (PWL)의 펄스 폭은 액티브 동작 모드에서의 펄스 폭보다 넓다.

<35> 이 실시예에 있어서, CS 버퍼 회로 (150)와 검출 회로 (160)는 액티브 동작 모드에서 대기 동작 모드로의 진입시 워드 라인 인에이블 신호의 펄스 폭이 늘어나도록 그리고 발진 신호의 주기가 소정 시간 동안 일정하게 유지되도록 제어하는 수단을 구성한다.

<36> 본 발명의 반도체 메모리 장치에 따르면, 액티브 동작 모드의 리프레쉬 주기 (또는 발진 신호의 주기)는 대기 동작 모드로 진입하고 소정 시간이 경과하기 전까지 (이 구간은 이후 "제 1 셀프-리프레쉬 구간"이라 칭함)의 리프레쉬 주기와 동일하게 유지된다. 이와 동시에, 제 1 셀프-리프레쉬 구간의 워드 라인 인에이블 신호의 펄스 폭은 액티브 동작 모드보다 더 길어진다. 대기 동작 모드의 나머지 구간 (이 구간은 이후 "제 2 셀프-리프레쉬 구간"이라 칭함)에 있어서, 워드 라인 인에이블 신호의 펄스 폭은 제 1 셀프-리프레쉬 구간과 동일하게 유지되는 반면에, 리프레쉬 주기는 제 1 셀프-리프레쉬 구간보다 더 길어진다.

<37> 도 2는 본 발명의 바람직한 실시예에 따른 도 1에 도시된 검출 회로를 보여주는 회로도이다.

<38> 도 2를 참조하면, 본 발명의 바람직한 실시예에 따른 검출 회로 (160)는 인버터들 (INV10, INV11, INV12), NOR 게이트 (G10), NAND 게이트들 (G11, G12), 그리고 단위 카운터들

(UN_CNT1)-(UN_CNT13)로 구성되며, 도면에 도시된 바와 같이 연결되어 있다. 단위 카운터들 (UN_CNT1)-(UN_CNT13) 각각은 2개의 입력 단자들 (IN1, IN2)과 하나의 출력 단자 (OUT)를 갖는다.

<39> 각 단위 카운터에 있어서, 입력 단자 (IN1)에는 인버터 (INV12)의 출력 신호가 인가된다. 내부 칩 선택 신호 (ICSB)가 로우 레벨일 때 (즉, 액티브 동작 모드시), 각 단위 카운터의 입력 단자 (IN1)에는 로우-레벨 신호가 입력된다. 내부 칩 선택 신호 (ICSB)가 하이 레벨일 때 (즉, 대기 동작 모드시), 각 단위 카운터의 입력 단자 (IN1)에는 하이-레벨 신호가 입력된다. 첫 번째 단위 카운터 (UN_CNT1)의 입력 단자 (IN2)에는 인버터 (INV11)의 출력 신호가 인가된다. 내부 칩 선택 신호 (ICSB)가 로우 레벨일 때 (즉, 액티브 동작 모드시), 첫 번째 단위 카운터 (UN_CNT1)의 입력 단자 (IN2)에는 발진 신호 (POSC)에 관계없이 로우-레벨 신호가 입력된다. 내부 칩 선택 신호 (ICSB)가 하이 레벨일 때 (즉, 대기 동작 모드시), 첫 번째 단위 카운터 (UN_CNT1)의 입력 단자 (IN2)에는 발진 신호 (POSC)를 따라 움직이는 클록 신호가 입력된다. 나머지 단위 카운터들 (UN_CNT2-UN_CNT13) 각각의 입력 단자 (IN2)에는 클록 신호로서 이전단의 출력 신호가 인가된다.

<40> 본 발명의 검출 회로 (160)에 따르면, 칩 선택 신호 (ICSB)가 로우 레벨에서 하이 레벨로 천이하고 소정 시간이 경과한 후, 플래그 신호 (POSC_CSB)가 로우 레벨에서 하이 레벨로 천이한다. 즉, 제 1 셀프-리프레쉬 구간이 경과한 후, 플래그 신호 (POSC_OSB)가 하이로 활성화된다.

<41> 도 3은 본 발명의 바람직한 실시예에 따른 도 2에 도시된 단위 카운터를 보여주는 회로도이다. 도 3에 도시된 단위 카운터 (UN_CNT1)는 첫 번째 단위 카운터 (UN_CNT1)로, 나머지 단위 카운터들 역시 도 3에 도시된 것과 동일하게 구성될 것이다. 도 3을 참조하면, 본 발명의

바람직한 실시예에 따른 단위 카운터 (UN_CNTi)는 NAND 게이트들 (G13, G14), 인버터들 (INV13, INV14, INV15, INV16, INV17), 그리고 전달 게이트들 (TG10, TG11, TG12, TG13)을 포함하며, 도면에 도시된 바와 같이 연결되어 있다. 입력 신호 (IN1)는 도 2의 인버터 (INV12)의 출력 신호이고, 입력 신호 (IN2)는 도 2의 인버터 (INV11)의 출력 신호이다. 출력 신호 (OUT)는 클록 신호로서 다음단의 입력 단자 (IN2)로 제공된다.

<42> 입력 신호 (IN1)가 로우 레벨로 유지될 때, 즉 액티브 동작 모드시, 출력 신호 (OUT)는 입력 신호 (IN2)에 관계없이 항상 로우 레벨을 갖는다. 입력 신호 (IN1)이 하이 레벨일 때, 즉 대기 동작 모드시, 단위 카운터 (UN_CNT1)는 입력 신호 (IN2)를 2분주한다. 좀 더 구체적인 설명은 다음과 같다.

<43> 입력 신호 (IN1)가 하이 레벨이기 때문에, NAND 게이트 (G14)의 출력 신호는 노드 (ND10)의 로직 상태에 따라 결정될 것이다. 입력 신호들 (IN1, IN2)이 로우 레벨일 때, NAND 게이트 (G14)의 출력 신호는 하이 레벨을 갖는다. 이때, 전달 게이트들 (TG11, TG12)이 턴 온되기 때문에, 노드들 (ND10, ND11)은 로우 레벨로 설정되고 노드 (ND12)는 하이 레벨로 설정된다.

<44> 입력 신호 (IN1)가 로우 레벨에서 하이 레벨로 천이하고 입력 신호 (IN2)가 로우 레벨일 때, 각 노드는 이전에 설정된 상태로 유지된다. 입력 신호 (IN2)가 로우 레벨에서 하이 레벨로 천이할 때, 전달 게이트들 (TG10, TG13)은 턴 온되고 전달 게이트들 (TG11, TG112)은 턴 오프된다. 이때, 노드 (ND11)가 NAND 게이트 (G14)의 출력 신호에 따라 하이 레벨로 설정됨에 따라, 노드 (ND12)는 로우 레벨로 설정된다. 입력 신호 (IN2)가 하이 레벨에서 로우 레벨로 천이함에 따라, 전달 게이트들 (TG10, TG13)은 턴 오프되고 전달 게이트들 (TG11, TG112)은 턴 온된다. 노드 (ND10)이 로우 레벨에서 하이 레벨로 설정됨에 따라, NAND 게이트 (G14)의 출력 신

호는 하이 레벨에서 로우 레벨로 천이한다. 이때, 출력 신호 (OUT)는 로우 레벨에서 하이 레벨로 천이한다. 따라서, 입력 신호 (IN1)가 하이 레벨일 때, 단위 카운터 (UN_CNT1)은 입력 신호 (IN2)를 2분주한다.

<45> 도 4는 본 발명의 바람직한 실시예에 따른 도 1의 발진 회로를 보여주는 회로도이다. 도 4를 참조하면, 본 발명의 바람직한 실시예에 따른 발진 회로 (170)는 슈미트 트리거 형태 (Schmitt trigger type)의 발진 회로로, 저항기 (R10)와 커패시터 (C10)로 구성된 지연 체인 (DLY_CH), 전달 게이트들 (TG14, TG15), 인버터들 (INV18, INV19, INV20, INV21, INV22, INV23), 저항기들 (R11, R12), PMOS 트랜지스터들 (MP10, MP11, MP12), 그리고 NMOS 트랜지스터들 (MN10, MN11, MN12)을 포함하며, 도면에 도시된 바와 같이 연결되어 있다.

<46> 지연 체인 (DLY_CH)의 지연 시간이 조절 가능하도록 구성될 수 있음은 자명하다. 예를 들면, 도면에는 도시되지 않았지만, 상이한 지연 시간을 갖는 지연 체인들을 병렬로 연결하고 그것들 중 하나를 선택하도록 함으로써, 지연 체인의 지연 시간이 조절 가능하다.

<47> 입력 신호 (POSC_OSB)가 로우 레벨일 때 (또는 액티브 동작 모드 및 제 1 셀프-리프레쉬 구간 동안), 전달 게이트 (TG14)는 턴 온되고 전달 게이트 (TG15)는 턴 오프된다. 이는 인버터 (INV19)의 출력이 지연 체인 (DLY_CH)을 경유하지 않고 전달 게이트 (TG14)를 통해 피드백되게 한다. 입력 신호 (POSC_OSB)가 하이 레벨일 때 (또는 제 2 셀프-리프레쉬 구간 동안), 전달 게이트 (TG14)는 턴 오프되고 전달 게이트 (TG15)는 턴 온된다. 이는 인버터 (INV19)의 출력이 지연 체인 (DLY_CH)을 통해 피드백되게 한다.

<48> 따라서, 제 2 셀프-리프레쉬 구간에서의 발진 신호 (POSC)의 주기 (또는 리프레쉬 주기)은 액티브 동작 모드 및 제 1 셀프-리프레쉬 구간보다 더 길어진다.

<49> 도 5는 본 발명의 바람직한 실시예에 따른 도 1의 리프레쉬 펄스 발생 회로를 보여주는 회로도이다. 도 5를 참조하면, 본 발명의 바람직한 실시예에 따른 리프레쉬 펄스 발생 회로 (180)는 인버터들 (INV24, INV25, INV26, INV27), NAND 게이트들 (G15, G16), 그리고 NOR 게이트 (G17)로 구성되며, 도면에 도시된 바와 같이 연결되어 있다. NAND 게이트들 (G15, G16)은 플립-플롭을 구성하고, 인버터들 (INV25, INV26, INV27)과 NOR 게이트 (G17)는 펄스 발생기를 구성한다.

<50> 입력 신호 (NERFH)가 하이 레벨일 때, 발진 신호 (POSC)에 관계없이 리프레쉬 펄스 신호 (PRFHTD)는 로우 레벨로 유지된다. 입력 신호 (NERFH)가 로우 레벨일 때, NAND 게이트 (G16)의 출력 신호가 하이 레벨로 설정된다. 이러한 조건에 따르면, NAND 게이트 (G16)의 출력 신호는 발진 신호 (POSC)에 따라 가변될 것이다. 예를 들면, 발진 신호 (POSC)가 로우 레벨일 때 NAND 게이트 (G16)는 하이 레벨로 설정되고, 발진 신호 (POSC)가 하이 레벨일 때 NAND 게이트 (G16)는 로우 레벨로 설정된다. NAND 게이트 (G16)의 출력 신호가 하이 레벨에서 로우 레벨로 천이할 때 (또는 발진 신호 (POSC)가 로우 레벨에서 하이 레벨로 천이할 때), NOR 게이트 (G17)는 단 펄스 형태의 리프레쉬 펄스 신호 (PRFHTD)를 출력한다.

<51> 도 6은 본 발명의 바람직한 실시예에 따른 도 1의 워드 라인 인에이블 회로를 보여주는 회로도이다.

<52> 도 6을 참조하면, 본 발명의 바람직한 실시예에 따른 도 1의 워드 라인 인에이블 회로 (190)는 지연 소자들 (191, 192), 전달 게이트들 (TG16, TG17), 인버터들 (INV28, INV29, INV30, INV31, INV32), 그리고 NOR 게이트 (G18)로 구성되며, 도면에 도시된 바와 같이 연결되어 있다. 워드 라인 인에이블 회로 (190)는 펄스 발생기로, 내부 칩 선택 신호 (ICSB)의 로직 상태에 따라 가변되는 지연 시간을 갖는다. 즉, 내부 칩 선택 신호 (ICSB)가 로우 레벨일 때 (

즉, 액티브 동작 모드시), 입력 신호 (PRFHTD)는 지연 소자 (191), 전달 게이트 (TG17), 그리고 인버터들 (INV29, INV31)로 구성되는 제 1 신호 지연 경로를 통해 NOR 게이트 (G18)에 입력된다. 내부 칩 선택 신호 (ICSB)가 하이 레벨일 때 (즉, 대기 동작 모드시), 입력 신호 (PRFHTD)는 지연 소자들 (191, 192), 전달 게이트 (TG17), 그리고 인버터들 (INV29, INV31)로 구성되는 제 2 신호 지연 경로를 통해 NOR 게이트 (G18)에 입력된다. 따라서, 대기 동작 모드시, 워드 라인 인에이블 신호 (PWL)의 펄스 폭은 액티브 동작 모드시 워드 라인 인에이블 신호 (PWL)의 펄스 폭보다 넓다.

<53> 도 7은 본 발명의 바람직한 실시예에 따른 도 1의 행 디코더의 일부를 보여주는 회로도이다. 도 7에 도시된 회로 (120)는 하나의 워드 라인에 대응하는 것으로, NAND 게이트 (G19)와 인버터 (INV33)로 구성된다. 나머지 워드 라인들에 대응하는 회로들 역시 도 7에 도시된 것과 동일하게 구성될 것이다. 워드 라인 인에이블 신호 (PWL)가 로우 레벨일 때, 이전단으로부터의 디코딩 신호 (DRA_{ij})에 관계없이 워드 라인은 로우 레벨로 설정된다. 워드 라인 인에이블 신호 (PWL)가 하이 레벨일 때, 워드 라인 (WLO)은 디코딩 신호 (DRA_{ij})에 따라 로우 레벨 또는 하이 레벨로 설정될 것이다. 따라서, 워드 라인 (WLO)은 워드 라인 인에이블 신호 (PWL)의 활성화 구간 또는 펄스 폭만큼 활성화된다.

<54> 도 8은 본 발명에 따른 반도체 메모리 장치의 동작을 설명하기 위한 타이밍도이다. 본 발명에 따른 반도체 메모리 장치 (100)는 외부 칩 선택 신호 (XCSB)가 로우 레벨일 때 액티브 동작 모드에서 동작하고 외부 칩 선택 신호 (XCSB)가 하이 레벨일 때 대기 동작 모드에서 동작한다. 반도체 메모리 장치 (100)가 액티브 동작 모드에서 대기 동작 모드로 진입하면, 셀프-리프레시 동작이 자동적으로 수행된다. 본 발명에 따른 반도체 메모리 장치 (100)의 경우, 셀프-리프레시 동작이 수행되는 구간은 제 1 셀프-리프레시 구간과 제 2 셀프-리프레시 구간으로 구

분된다. 제 1 셀프-리프레쉬 구간에 있어서, 워드 라인 인에이블 구간의 펄스 폭은 액티브 동작 모드와 비교하여 길어지는 반면에 리프레쉬 주기는 액티브 동작 모드와 동일하게 유지된다. 제 2 셀프-리프레쉬 구간에 있어서, 워드 라인 인에이블 구간의 펄스 폭은 제 1 셀프-리프레쉬 구간과 동일하게 유지되는 반면에 리프레쉬 주기는 액티브 동작 모드 및 제 1 셀프-리프레쉬 구간과 비교하여 길어진다. 이러한 셀프-리프레쉬 방법에 의하면, 액티브 동작 모드에서 대기 동작 모드로의 전환시 리프레쉬 주기의 변화에 따라 대기 동작 모드에서 생길 수 있는 페일을 방지할 수 있다.

<55> 먼저 외부 칩 선택 신호 (XCSB)가 로우 레벨일 때, 검출 회로 (160)는 동작하지 않는다. 발진 회로 (170)는 제 1 주기의 발진 신호 (POSC)를 발생하고, 리프레쉬 펄스 발생 회로 (180)는 발진 신호 (POSC)에 동기된 리프레쉬 펄스 신호 (PRFHTD)를 발생한다. 발진 신호 (POSC)의 주기는, 도 8에서 알 수 있듯이, 리프레쉬 주기 (t_{p1})와 동일하다. 액티브 동작 모드시, 워드 라인 인에이블 회로 (190)는 리프레쉬 펄스 신호 (PRFHTD)의 로우-하이 천이에 따라 제 1 신호 지연 경로 (도 6에서, 191, TG17, INV29, INV31로 구성됨)를 통해 결정된 펄스 폭 (PW1)을 갖는 워드 라인 인에이블 신호 (PWL)를 출력한다. 그렇게 결정된 펄스 폭 (PW1)만큼 선택된 워드 라인이 행 디코더 회로 (120)를 통해 활성화될 것이다.

<56> 외부 칩 선택 신호 (XCSB)가 로우 레벨에서 하이 레벨로 천이하면 (또는 반도체 메모리 장치가 액티브 동작 모드에서 대기 동작 모드로 진입하면), 먼저, 워드 라인 인에이블 회로 (160)의 신호 지연 경로가 길어진다. 도 6에 알 수 있듯이, 내부 칩 선택 신호 (ICSB)가 로우 레벨에서 하이 레벨로 천이할 때, 전달 게이트 (TG17)은 턴 오프되고 전달 게이트 (TG16)는 턴 온된다. 이는 리프레쉬 펄스 신호 (PRFHTD)가 지연 소자들 (191, 192)과 인버터들 (INV29, INV31)로 구성되는 신호

지연 경로를 통해 NOR 게이트 (G18)로 전달되게 한다. 따라서, 워드 라인 인에이블 신호 (PWL)의 펄스 폭은, 도 8에 도시된 바와 같이, PW1에서 PW2로 길어진다 ($PW2 > PW1$). 이때, 발진 회로 (170)로부터 출력되는 발진 신호 (POSC)의 주기는 액티브 동작 모드의 그것과 동일하게 유지된다. 즉, 도 8에서, $t_{P1} = t_{P2}$.

<57> 본 발명에 따른 반도체 메모리 장치 (100)의 경우, 제 1 셀프-리프레쉬 구간의 리프레쉬 주기가 액티브 동작 모드와 동일하게 유지된 상태에서, 단지, 워드 라인 인에이블 신호 (PWL)의 펄스 폭이 넓어진다. 제 1 셀프-리프레쉬 구간 동안 어레이의 모든 메모리 셀들이 액세스된다. 따라서, 리프레쉬 주기가 액티브 동작 모드와 동일하게 유지된 상태에서, 워드 라인 인에이블 신호 (PWL)의 펄스 폭이 넓어지기 때문에 (또는 데이터 재저장 시간이 길어지기 때문에) 셀프-리프레쉬 구간에서 생길 수 있는 데이터 손실을 방지할 수 있다.

<58> 계속해서, 검출 회로 (160)는 내부 칩 선택 신호 (ICSB)의 로우-하이 천이에 응답하여 카운트 동작을 시작한다. 내부 칩 선택 신호 (ICSB)가 로우 레벨에서 하이 레벨로 천이하고 소정 시간이 경과한 후, 검출 회로 (160)는 제 1 셀프-리프레쉬 구간의 종료를 알리는 플래그 신호 (POSC_OSB)를 활성화시킨다. 플래그 신호 (POSC_OSB)가 활성화됨에 따라, 발진 회로 (170)의 피드백 경로는 지연 체인 (DLY_CH)을 통해 형성되며, 그 결과 발진 신호 (POSC)의 주기는 도 8에 도시된 바와 같이 t_{P2} 에서 t_{P3} 으로 길어진다. 이때, 제 2 셀프-리프레쉬 구간에 있어서, 워드 라인 인에이블 신호 (PWL)의 펄스 폭은 제 1 셀프-리프레쉬 구간의 그것과 동일하게 유지된다. 즉, 도 8에서, $PW2 = PW3$.

<59> 본 발명의 반도체 메모리 장치의 경우, 워드 라인 인에이블 신호 (PWL)의 펄스 폭이 제 1 셀프-리프레쉬 구간과 동일하게 유지된 상태에서, 제 2 셀프-리프레쉬 구간의 리프레쉬 주기 (t_{p3})는 제 1 셀프-리프레쉬 구간의 그것 (t_{p2})보다 더 길어진단 ($t_{p3} > t_{p2}$).

<60> 이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만, 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상 및 범위를 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

<61> 상술한 바와 같이, 본 발명에 따른 반도체 메모리 장치의 경우, 제 1 셀프-리프레쉬 구간의 리프레쉬 주기가 액티브 동작 모드와 동일하게 유지된 상태에서, 단지, 워드 라인 인에이블 신호의 펄스 폭이 넓어진다.

<62> 따라서, 리프레쉬 주기가 액티브 동작 모드와 동일하게 유지된 상태에서, 워드 라인 인에이블 신호의 펄스 폭이 넓어지기 때문에 (또는 데이터 재저장 시간이 길어지기 때문에) 셀프-리프레쉬 구간에서 생길 수 있는 데이터 손실을 방지할 수 있다.

【특허청구범위】**【청구항 1】**

행들과 열들로 배열되는 메모리 셀들의 어레이를 포함하는 반도체 메모리 장치에
있어서:

동작 모드에 따라 가변 가능한 발진 신호를 발생하는 발진 회로와;

상기 발진 신호에 응답하여 워드 라인 인에이블 신호를 발생하는 워드 라인 인에이블 회
로와; 그리고

액티브 동작 모드에서 대기 동작 모드로의 진입시, 상기 워드 라인 인에이블 신호의 펄
스 폭이 늘어나도록 그리고 상기 발진 신호의 주기가 일정하게 유지되도록 제어하는 수단을 포
함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 2】

제 1 항에 있어서,

상기 메모리 장치가 액티브 동작 모드에서 상기 대기 동작 모드로 진입하고 소정 시간이
경과한 후, 상기 제어 수단은 상기 발진 신호의 주기가 길어지도록 제어하는 것을 특징으로
하는 반도체 메모리 장치.

【청구항 3】

제 2 항에 있어서,

상기 소정 시간 동안 상기 메모리 셀들이 모두 리프레쉬되는 것을 특징으로 하는 반도체
메모리 장치.

【청구항 4】

제 1 항에 있어서,

상기 발진 신호의 주기는 리프레쉬 주기와 동일한 것을 특징으로 하는 반도체 메모리 장치.

【청구항 5】

제 4 항에 있어서,

상기 제어 수단은 칩 선택 신호에 응답하여 상기 리프레쉬 주기 및 상기 워드 라인 인에이블 신호의 펄스 폭을 제어하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 6】

제 2 항에 있어서,

상기 워드 라인 인에이블 신호의 펄스 폭은 상기 대기 동작 모드의 리프레쉬 구간 동안 일정하게 유지되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 7】

행들과 열들로 배열되는 메모리 셀들의 어레이를 포함하는 반도체 메모리 장치에 있어서

:

대기 동작 모드로 진입하고 소정 시간이 경과한 후, 상기 대기 동작 모드의 제 1 리프레쉬 구간의 종료를 알리는 플래그 신호를 출력하는 플래그 신호 발생 회로와;

상기 플래그 신호에 응답하여 가변 가능한 발진 신호를 발생하는 발진 회로와;

상기 발진 신호에 응답하여 동작하며, 동작 모드에 따라 가변 가능한 펄스 폭을 갖는 워드 라인 인에이블 신호를 발생하는 워드 라인 인에이블 회로와; 그리고

행 어드레스에 응답하여 행들을 선택하고, 상기 워드 라인 인에이블 신호의 활성화 구간 동안 선택된 행을 구동하는 행 디코더 회로를 포함하며,

상기 대기 동작 모드의 제 1 리프레쉬 구간에서 생성되는 발진 신호는 상기 대기 동작 모드의 제 2 리프레쉬 구간에서 생성되는 발진 신호보다 긴 주기를 갖는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 8】

제 7 항에 있어서,

상기 플래그 신호 발생 회로는 칩 선택 신호가 비활성화되고 소정 시간이 경과한 후 상기 플래그 신호를 활성화시키는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 9】

제 8 항에 있어서,

상기 워드 라인 인에이블 회로는 상기 칩 선택 신호에 따라 가변되는 펄스 폭을 갖는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 10】

제 9 항에 있어서,

상기 대기 동작 모드의 제 1 리프레쉬 구간 동안 생성되는 워드 라인 인에이블 신호는 액티브 동작 모드 동안 생성되는 워드 라인 인에이블 신호보다 넓은 펄스 폭을 갖는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 11】

제 7 항에 있어서,

상기 발진 신호는 상기 대기 동작 모드의 제 1 리프레쉬 구간과 액티브 동작 모드에서 동일한 주기를 갖는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 12】

제 7 항에 있어서,

상기 워드 라인 인에이블 신호는 상기 대기 동작 모드의 제 1 및 제 2 리프레쉬 구간들에서 동일한 펄스 폭을 갖는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 13】

제 7 항에 있어서,

상기 플래그 신호 발생 회로는 상기 발진 신호에 동기되어 동작하는 카운터를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 14】

제 7 항에 있어서,

상기 메모리 장치는 상기 메모리 셀들로서 디램 셀들을 갖는 의사 에스램 (Pseudo SRAM) 장치를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 15】

행들과 열들로 배열되는 메모리 셀들의 어레이를 포함하는 반도체 메모리 장치에 있어서:

대기 동작 모드로 진입하고 소정 시간이 경과하였는 지의 여부를 검출하고, 그 결과로서 플래그 신호를 활성화시키는 검출 회로와;

상기 플래그 신호의 비활성화 구간 동안 제 1 주기를 갖고 상기 플래그 신호의 활성화 구간 동안 상기 제 1 주기보다 긴 제 2 주기를 갖는 발진 신호를 발생하는 발진 회로와;

상기 발진 신호에 동기된 워드 라인 인에이블 신호를 발생하되, 상기 워드 라인 인에이블 신호의 펄스 폭은 상기 대기 동작 모드로의 진입시 늘어나는 워드 라인 인에이블 회로와;
그리고

행 어드레스에 응답하여 행들을 선택하고, 상기 워드 라인 인에이블 신호의 활성화 구간 동안 선택된 행을 구동하는 행 디코더 회로를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 16】

제 15 항에 있어서,

상기 검출 회로는 카운터를 포함하며, 상기 카운터는 상기 발진 신호에 동기되어 동작하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 17】

제 15 항에 있어서,

상기 소정 시간 동안 상기 메모리 셀들이 한번 리프레쉬되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 18】

제 15 항에 있어서,

상기 플래그 신호의 비활성화 구간은 액티브 동작 모드와 대기 동작 모드의 제 1 리프레쉬 구간을 포함하며, 상기 플래그 신호의 활성화 구간은 상기 대기 동작 모드의 제 2 리프레쉬 구간을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 19】

제 15 항에 있어서,

상기 메모리 장치는 상기 메모리 셀들로서 디램 셀들을 갖는 의사 에스램 (Pseudo SRAM) 장치를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 20】

행들과 열들로 배열되는 메모리 셀들의 어레이를 포함하는 반도체 메모리 장치의 방법에 있어서:

대기 동작 모드의 제 1 리프레쉬 구간의 종료를 알리는 플래그 신호를 발생하는 단계와

;

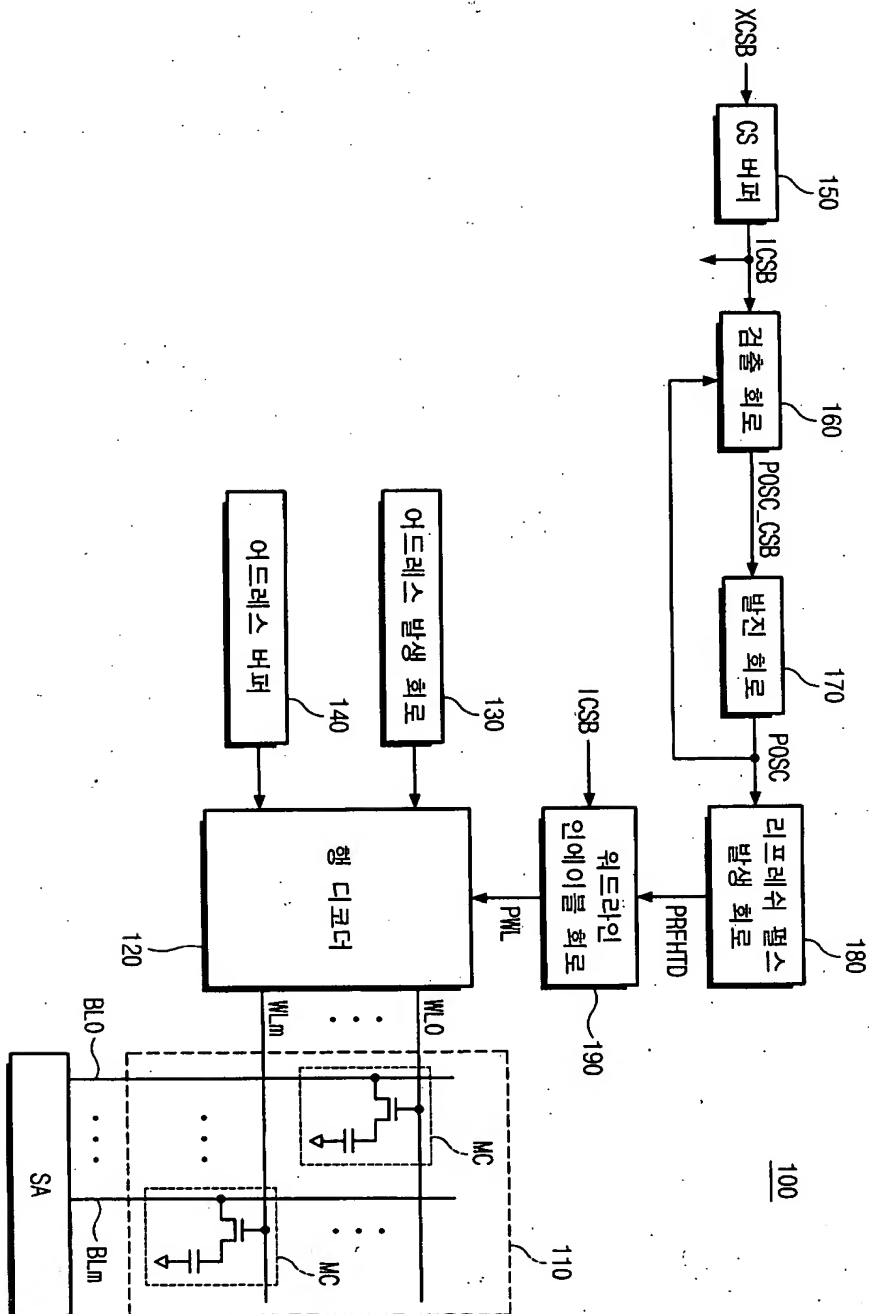
상기 플래그 신호에 응답하여 가변 가능한 발진 신호를 발생하는 단계와; 그리고

상기 발진 신호에 응답하여 동작하며, 동작 모드에 따라 가변 가능한 펄스 폭을 갖는 워드 라인 인에이블 신호를 발생하는 단계를 포함하며,

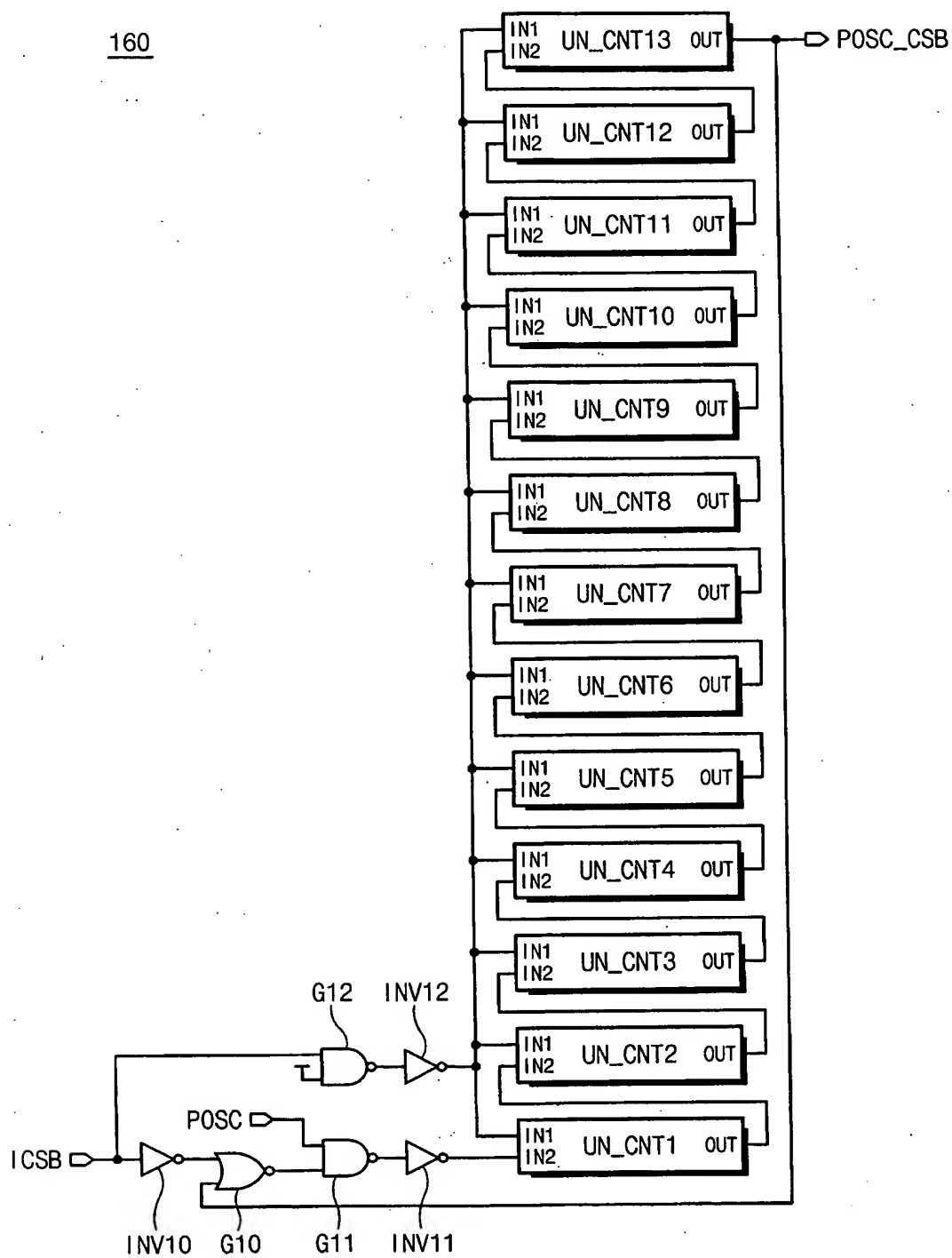
상기 대기 동작 모드의 제 1 리프레쉬 구간에서 생성되는 발진 신호는 상기 대기 동작 모드의 제 2 리프레쉬 구간에서 생성되는 발진 신호보다 긴 주기를 가지며; 그리고 상기 대기 동작 모드의 제 1 리프레쉬 구간 동안 생성되는 워드 라인 인에이블 신호는 액티브 동작 모드 동안 생성되는 워드 라인 인에이블 신호보다 넓은 펄스 폭을 갖는 것을 특징으로 하는 방법.

【도면】

【도 1】



160

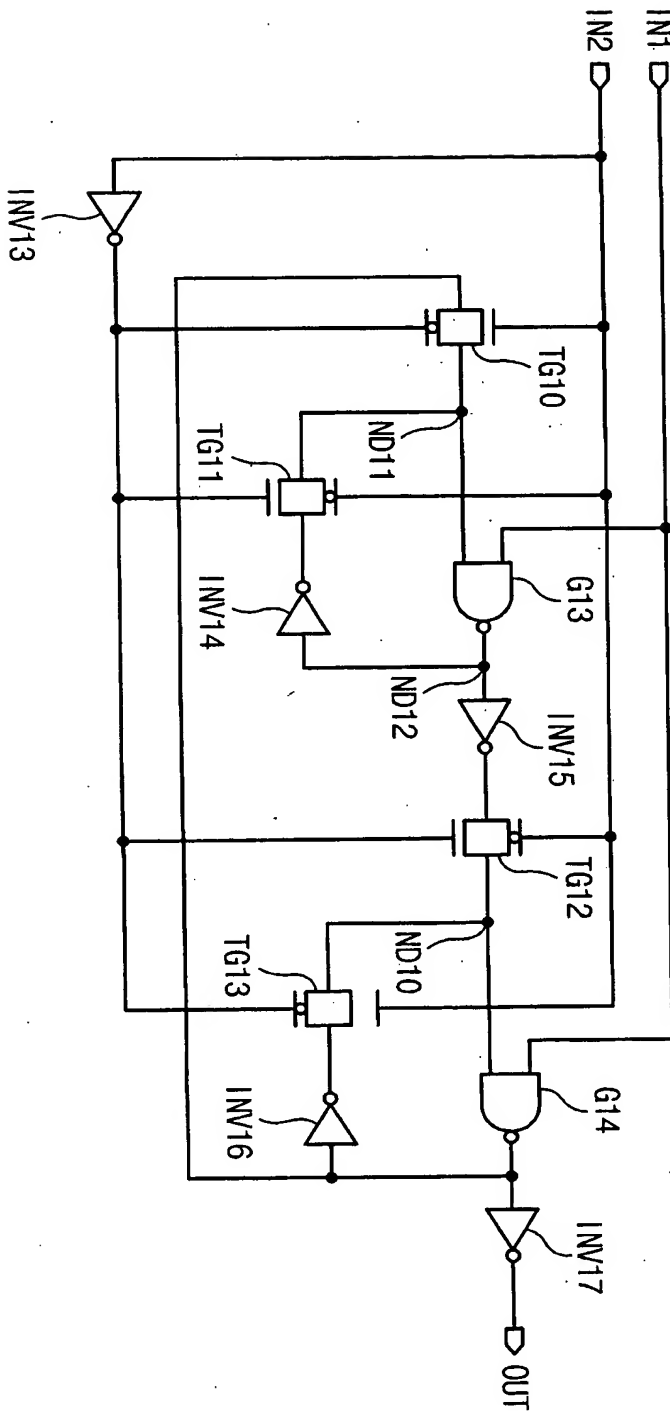




1020030009155

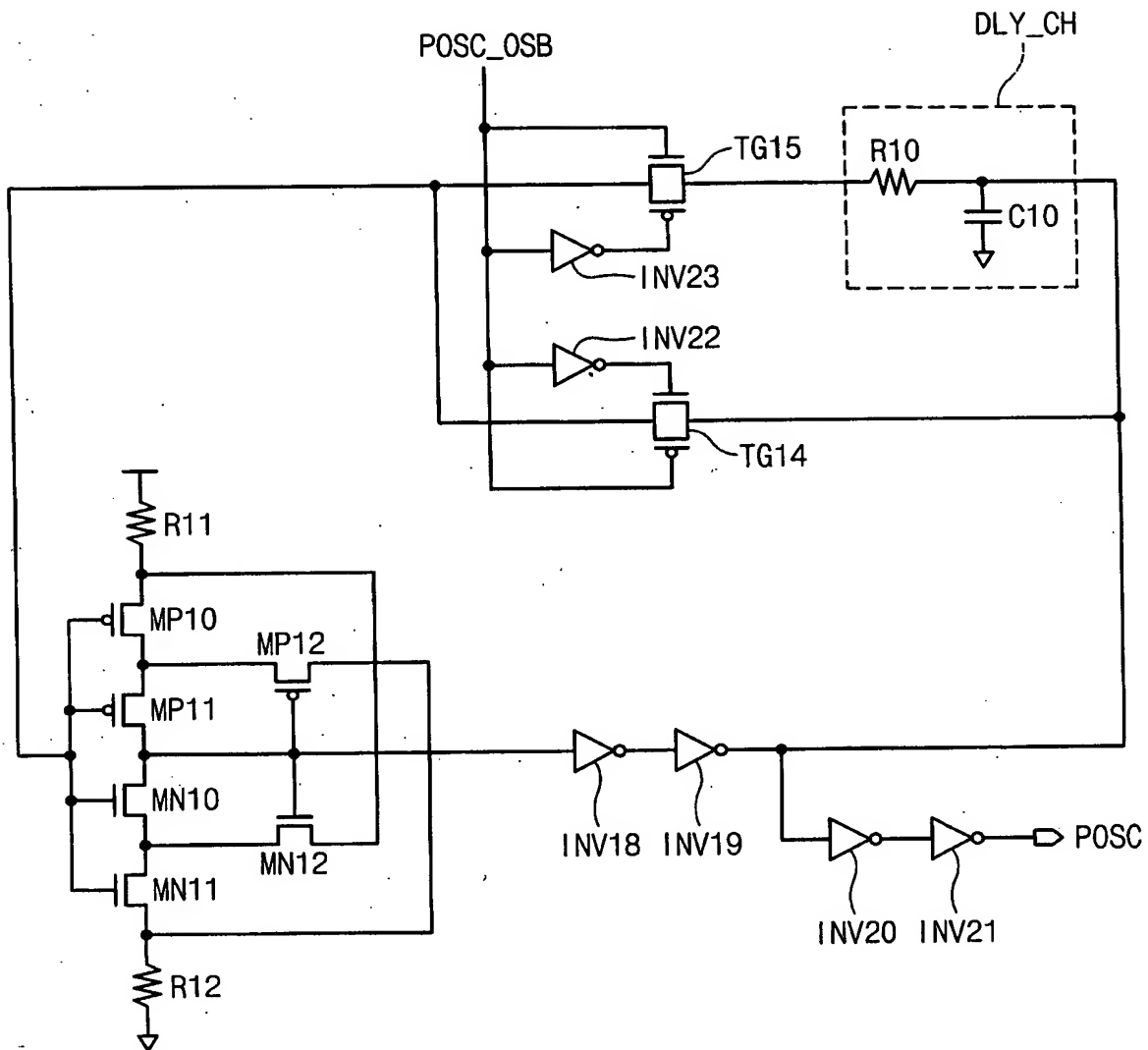
출력 일자: 2003/11/11

【도 3】

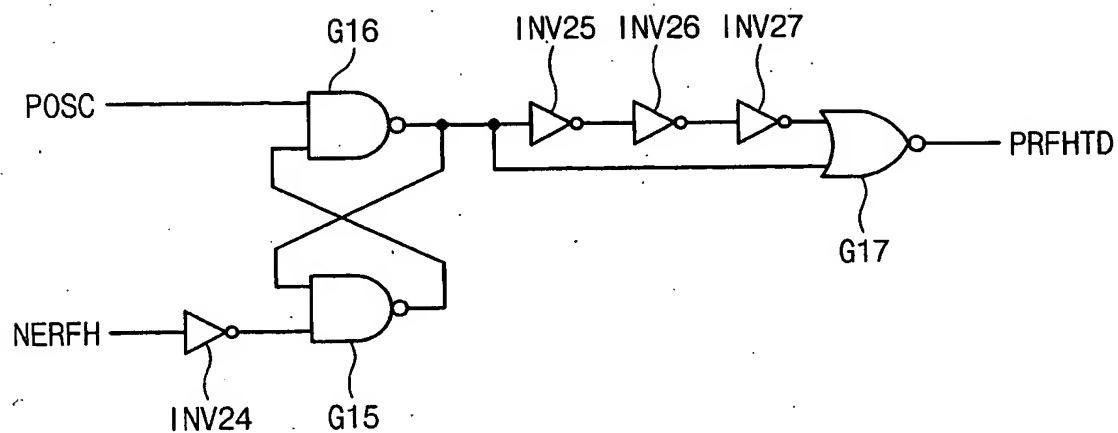


UN_CNT1

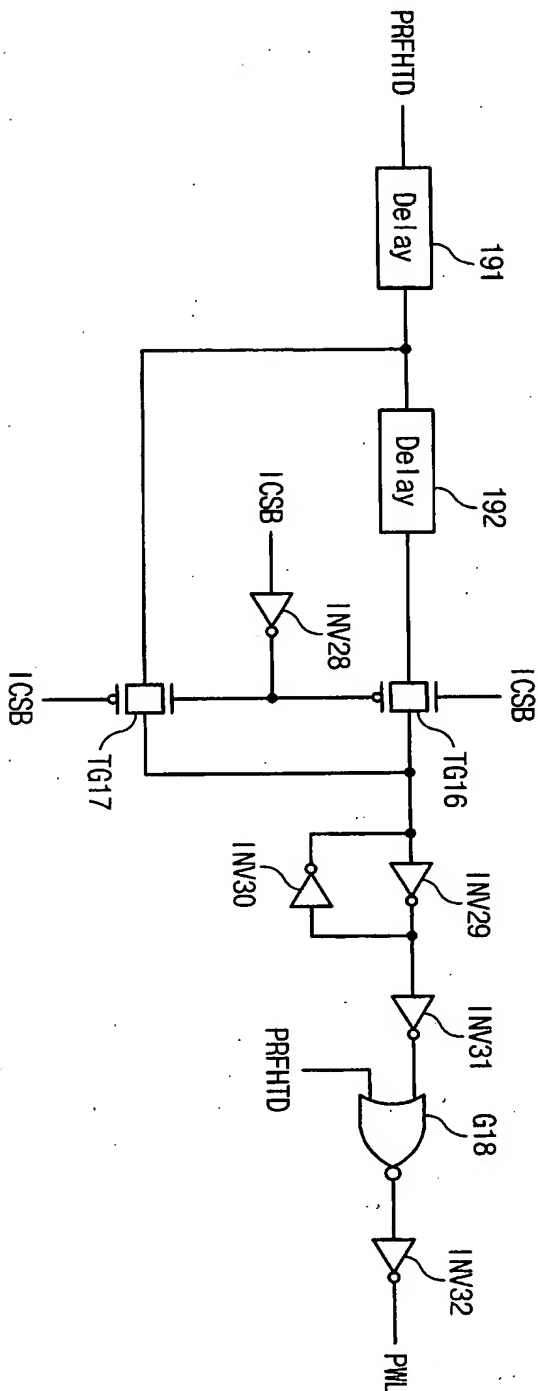
170



【도 5】

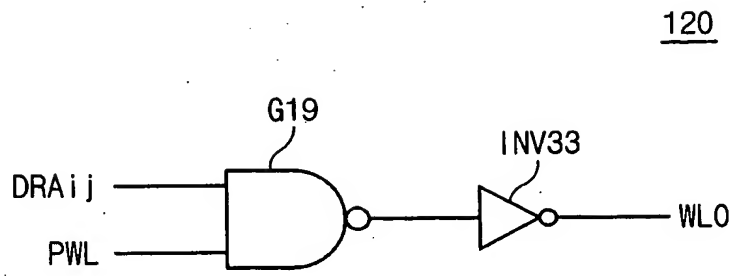
180

【도 6】

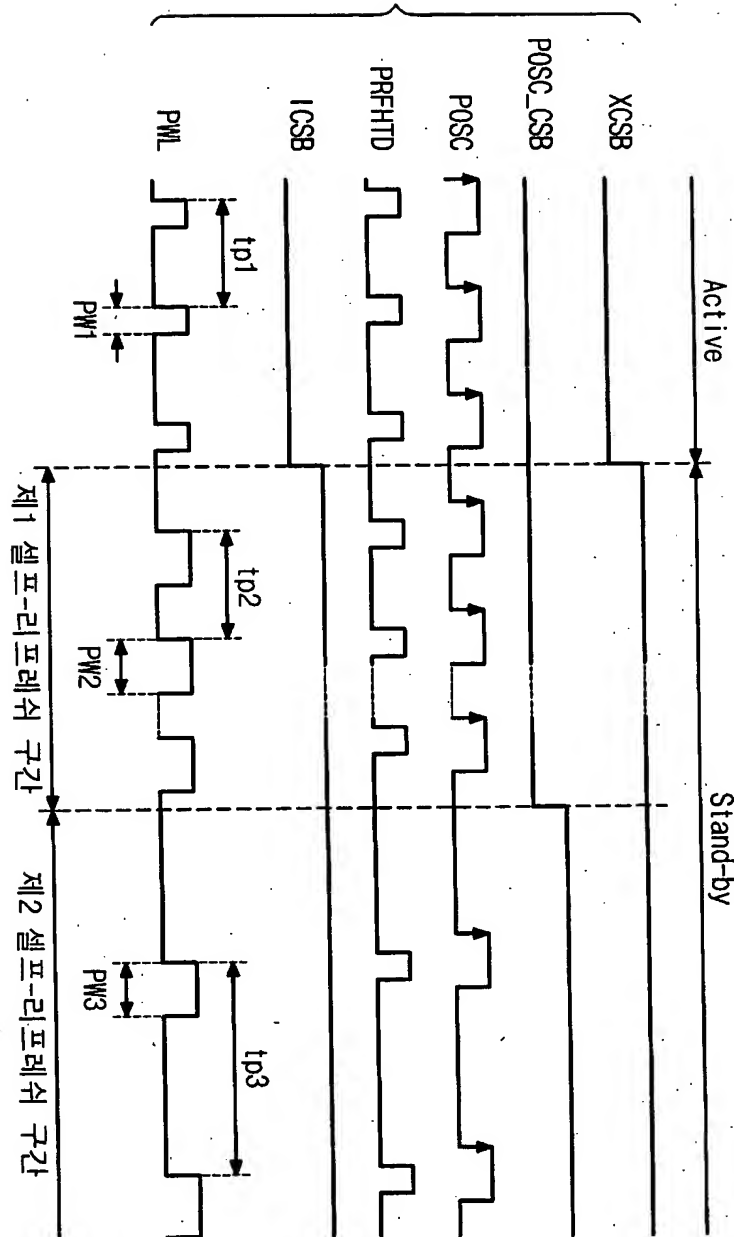


190

【도 7】



【도 8】



리프레쉬 주기 : $tp1=tp2 \neq tp3$ ($tp3 > tp1$)
PML의 펄스 폭 : $PW1 \neq PW2 = PW3$ ($PW2 > PW1$)
n : 임의의 어드레스